

# POWER DISTRIBUTION CIRCUIT, POWER COMBINING CIRCUIT AND AMPLIFIER

Patent number: JP11355015  
Publication date: 1999-12-24  
Inventor: UEDA HIROYUKI; MORI KAZUTOMI; TAKAGI SUNAO  
Applicant: MITSUBISHI ELECTRIC CORP  
Classification:  
- international: H01P5/19; H03F3/60; H03F3/68  
- european:  
Application number: JP19980157813 19980605  
Priority number(s): JP19980157813 19980605

## Abstract of JP11355015

PROBLEM TO BE SOLVED: To suppress loop oscillation, to attenuate the pass gain in a specified frequency and to provide an amplifier of stable high output. SOLUTION: An amplifier where a plurality of amplification elements 3 and 4 are combined in parallel has an isolation circuit 22 constituted of one line 24 and two resistors 23 and 25 connected to its both ends. A power distribution circuit 2A distributing signals inputted to an input terminal 1 to a plurality of amplification elements and a power combining circuit 5A putting together the outputs of a plurality of amplification elements are installed.

---

Data supplied from the *esp@cenet* database - Worldwide

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-355015

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 P 5/19

H 0 1 P 5/19

A

H 0 3 F 3/60

H 0 3 F 3/60

3/68

3/68

B

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号

特願平10-157813

(22) 出願日

平成10年(1998)6月5日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 植田 裕之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 森 一富

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 高木 直

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 曾我 道照 (外6名)

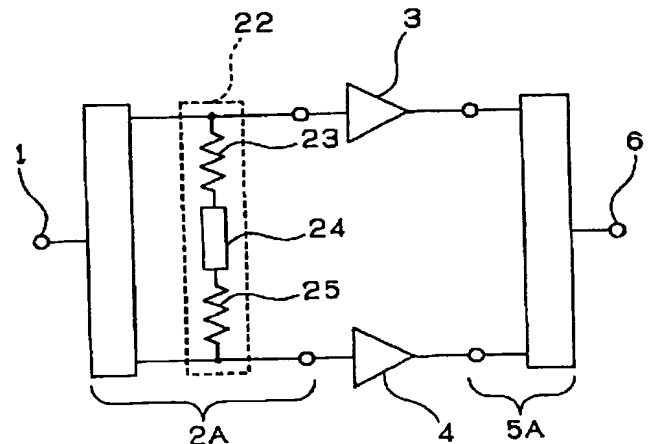
(54) 【発明の名称】 電力分配回路、電力合成回路及び増幅器

(57) 【要約】

【課題】 偶モードの信号は、従来のアイソレーション抵抗に消費されず、不必要な周波数の偶モードの信号に対して十分な安定化を行うことができないという課題があった。

【解決手段】 増幅素子3、4を並列に複数個合成した増幅器において、出力側の分岐線路間に、1つの線路24とその両端に接続された2つの抵抗23、25から構成されたアイソレーション回路22を有し、入力端子1に入力した信号を前記複数個の増幅素子に分配する電力分配回路2Aと、前記複数個の増幅素子の出力を合成する電力合成回路5Aとを備えた。

【効果】 ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができる。



## 【特許請求の範囲】

【請求項 1】 出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を備えたことを特徴とする電力分配回路。

【請求項 2】 入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を備えたことを特徴とする電力合成回路。

【請求項 3】 増幅素子を並列に複数個合成した増幅器において、

出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、  
前記複数個の増幅素子の出力を合成する電力合成回路とを備えたことを特徴とする増幅器。

【請求項 4】 増幅素子を並列に複数個合成した増幅器において、

入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、

入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたことを特徴とする増幅器。

【請求項 5】 増幅素子を並列に複数個合成した増幅器において、

出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成された第1のアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、

入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成された第2のアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたことを特徴とする増幅器。

【請求項 6】 多段増幅器を並列合成した増幅器において、

入力端子に入力した信号を第1段の複数個の増幅素子に分配する電力分配回路と、

前記第1段の複数個の増幅素子の出力を増幅する第2段の複数個の増幅素子と、

前記第2段の複数個の増幅素子の出力を合成する電力合成回路と、

1つの線路とその両端に接続された2つの抵抗から構成され、前記第1段及び第2段の増幅素子間に挿入されたアイソレーション回路とを備えたことを特徴とする増幅器。

【請求項 7】 出力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成されたアイソレーション回路を備えたことを特徴とする電力分配回路。

【請求項 8】 入力側の分岐線路間に、2つの線路とその

の両端及び線路間に接続された3つの抵抗から構成されたアイソレーション回路を備えたことを特徴とする電力合成回路。

【請求項 9】 増幅素子を並列に複数個合成した増幅器において、

出力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成されたアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、

前記複数個の増幅素子の出力を合成する電力合成回路とを備えたことを特徴とする増幅器。

【請求項 10】 増幅素子を並列に複数個合成した増幅器において、

入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、

入力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成されたアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたことを特徴とする増幅器。

【請求項 11】 増幅素子を並列に複数個合成した増幅器において、

出力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成された第1のアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、

入力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成された第2のアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたことを特徴とする増幅器。

【請求項 12】 多段増幅器を並列合成した増幅器において、

入力端子に入力した信号を第1段の複数個の増幅素子に分配する電力分配回路と、

前記第1段の複数個の増幅素子の出力を増幅する第2段の複数個の増幅素子と、

前記第2段の複数個の増幅素子の出力を合成する電力合成回路と、

2つの線路とその両端及び線路間に接続された3つの抵抗から構成され、前記第1段及び第2段の増幅素子間に挿入されたアイソレーション回路とを備えたことを特徴とする増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、衛星通信、地上マイクロ波通信、移動体通信などに使用する電力分配回路、電力合成回路及び増幅器に関するものである。

【0002】

【従来の技術】 一般に、マイクロ波高出力増幅器においては、高出力を得るためにFET、HBTといった増幅

素子を並列動作させる。これら増幅素子を複数個並列合成した場合は、電力分配回路と電力合成回路を用いるために閉ループが形成され、増幅素子や回路素子のばらつきがあるときには、特定の周波数においてこの閉ループ内でループ発振が起き、増幅器が不安定となってしまう問題がある。

【0003】従来の増幅器について図面を参照しながら説明する。図17は、例えば日刊新聞社刊行、小西良弘監修、本城和彦著、「マイクロ波半導体回路 基礎と展開」第140頁に示された従来のウィルキンソン型電力分配回路と合成回路を用いた並列増幅器の構成を示す図である。

【0004】図17において、1は入力端子、2はウィルキンソン型電力分配回路、3及び4は増幅素子、5はウィルキンソン型電力合成回路、6は出力端子である。また、21及び51はアイソレーション抵抗である。

【0005】つぎに、前述した従来の増幅器の動作について図面を参照しながら説明する。

【0006】入力端子1に入力した信号は、ウィルキンソン型電力分配回路2で分配された後、2個の増幅素子3及び4で増幅され、ウィルキンソン型電力合成回路5により合成され、出力端子6より出力される。

【0007】その際、2個の増幅素子3及び4の特性にばらつきがある場合に、電力分配回路2と、電力合成回路5と、2個の増幅素子3及び4によって形成される閉ループ内で特定の周波数、特に基本周波数の1/2の周波数において、ループ発振が発生し不安定となる。ループ発振の条件は、ループ利得が0dB以上でループ位相が0度となる周波数が存在することである。

【0008】そのため、図17の回路においてはアイソレーション抵抗21及び51を設けることにより、奇モードの信号を消費し、閉ループのループ利得を0dB以下にすることによって安定化を行っている。

【0009】

【発明が解決しようとする課題】上述したような従来の増幅器では、2つの平行線路に流れる奇モードの信号はアイソレーション抵抗21、51に流れて電力が消費されるため、ループ利得を抑制して安定化を行うことができるが、偶モードの信号はアイソレーション抵抗21、51に消費されず、不必要な周波数の偶モードの信号に対して十分な安定化を行うことができないという問題点があった。

【0010】また、2つの平行線路の間隔が広い場合にはアイソレーション抵抗21、51と平行線路の間を線路で接続するが、この長さが不適当な場合には不要な信号がアイソレーション抵抗21、51で十分消費されないことがあり、奇モードの発振に対しても十分な安定化が行えないという問題点があった。

【0011】この発明は、前述した問題点を解決するためになされたもので、安定な高出力の電力分配回路、電

力合成回路及び増幅器を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明に係る電力分配回路は、出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を備えたものである。

【0013】この発明に係る電力合成回路は、入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を備えたものである。

【0014】この発明に係る増幅器は、増幅素子を並列に複数個合成した増幅器において、出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたものである。

【0015】また、この発明に係る増幅器は、増幅素子を並列に複数個合成した増幅器において、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたものである。

【0016】さらに、この発明に係る増幅器は、増幅素子を並列に複数個合成した増幅器において、出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成された第1のアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成された第2のアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたものである。

【0017】またさらに、この発明に係る増幅器は、多段増幅器を並列合成した増幅器において、入力端子に入力した信号を第1段の複数個の増幅素子に分配する電力分配回路と、前記第1段の複数個の増幅素子の出力を増幅する第2段の複数個の増幅素子と、前記第2段の複数個の増幅素子の出力を合成する電力合成回路と、1つの線路とその両端に接続された2つの抵抗から構成され、前記第1段及び第2段の増幅素子間に挿入されたアイソレーション回路とを備えたものである。

【0018】この発明に係る電力分配回路は、出力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成されたアイソレーション回路を備えたものである。

【0019】この発明に係る電力合成回路は、入力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成されたアイソレーション回路

を備えたものである。

【0020】この発明に係る増幅器は、増幅素子を並列に複数個合成した増幅器において、出力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成されたアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたものである。

【0021】また、この発明に係る増幅器は、増幅素子を並列に複数個合成した増幅器において、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、入力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成されたアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたものである。

【0022】さらに、この発明に係る増幅器は、増幅素子を並列に複数個合成した増幅器において、出力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成された第1のアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、入力側の分岐線路間に、2つの線路とその両端及び線路間に接続された3つの抵抗から構成された第2のアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたものである。

【0023】またさらに、この発明に係る増幅器は、多段増幅器を並列合成した増幅器において、入力端子に入力した信号を第1段の複数個の増幅素子に分配する電力分配回路と、前記第1段の複数個の増幅素子の出力を増幅する第2段の複数個の増幅素子と、前記第2段の複数個の増幅素子の出力を合成する電力合成回路と、2つの線路とその両端及び線路間に接続された3つの抵抗から構成され、前記第1段及び第2段の増幅素子間に挿入されたアイソレーション回路とを備えたものである。

#### 【0024】

【発明の実施の形態】実施の形態1. この発明の実施の形態1に係る電力分配回路について図面を参照しながら説明する。図1は、この発明の実施の形態1に係る電力分配回路の構成を示す図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0025】図1において、1は入力端子、2Aは電力分配回路である。また、22はアイソレーション回路、23はアイソレーション抵抗、24はマイクロストリップ線路等の線路、25はアイソレーション抵抗、26及び27は出力端子である。

【0026】つぎに、前述した実施の形態1に係る電力分配回路の動作について図面を参照しながら説明する。図2は、この発明の実施の形態1に係る電力分配回路の回路特性を示す図面である。

【0027】基本周波数を $f_0$ 、その周波数での波長を

$\lambda_0$ 、線路24の長さを $\lambda_0$ としたときの、回路特性の計算結果の一例を示す。図2(a)は、入力端子1から出力端子26及び27に通過する信号の通過利得の周波数特性を示し、同図(b)は、2つの出力端子26及び27間のアイソレーションの周波数特性を示す。

【0028】図2において、実線はアイソレーション回路22を用いた場合、破線は従来のアイソレーション抵抗21、51を用いた場合である。図2より、アイソレーション回路22を用いた場合には、基本周波数 $f_0$ である1GHzで従来のアイソレーション抵抗を用いた場合と同様の特性を示し、また、基本周波数の $1/2$ 、 $3/2$ の周波数においては通過利得、アイソレーションともに従来のアイソレーション抵抗を用いた場合より大幅に特性が向上することが分かる。これは線路24の長さが基本周波数の $1/2$ の周波数に対して $1/2$ 波長となっているためであり、同様の原理により、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0029】すなわち、この実施の形態1によれば、電力分配回路において、分岐線路間に、1つの線路24とその両端の2つの抵抗23、25からなるアイソレーション回路22を挿入することにより、分岐線路間のアイソレーションを十分に得ることができ、また特定の周波数の通過利得を減衰させることができる。なお、電力合成回路においても、アイソレーション抵抗51の代わりに上記のアイソレーション回路を挿入することで同様の効果を得ることができる。

【0030】実施の形態2. この発明の実施の形態2に係る増幅器について図面を参照しながら説明する。図3は、この発明の実施の形態2に係る増幅器の構成を示す図である。

【0031】図3において、1は入力端子、2Aは電力分配回路、3及び4は増幅素子、5Aは電力合成回路、6は出力端子である。また、22はアイソレーション回路、23及び25はアイソレーション抵抗、24はマイクロストリップ線路等の線路である。

【0032】つぎに、前述した実施の形態2に係る増幅器の動作について図面を参照しながら説明する。図4は、この発明の実施の形態2に係る増幅器の特性を示す図である。

【0033】増幅器の基本周波数を $f_0$ 、その周波数での波長を $\lambda_0$ 、線路24の長さを $\lambda_0$ としたときの、回路特性の計算結果の一例を示す。図4(a)は、入力端子1で観測したループ利得、ループ位相を示し、同図(b)は、出力端子6で観測したループ利得、ループ位相を示し、また同図(c)は、増幅器の通過利得を示す。図4において、実線はアイソレーション回路22を用いた場合、破線は従来のアイソレーション抵抗を用いた場合である。

【0034】図4より、アイソレーション回路22を用

いた場合もループ利得が 0 dB 以下に抑制されており、また通過利得は増幅器の基本周波数の  $1/2$ 、 $3/2$  の周波数で大きく減衰していることが分かる。これは線路 2 4 の長さが基本周波数の  $1/2$  の周波数に対して  $1/2$  波長となっているためであり、同様の原理により、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0035】すなわち、この実施の形態 2 によれば、増幅素子を並列に複数個合成した増幅器において、電力分配回路、または電力合成回路、あるいは双方に、上記の実施の形態 1 の回路を用いることにより、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となるため、安定な高出力の増幅器を得ることができる。

【0036】実施の形態 3. この発明の実施の形態 3 に係る増幅器について図面を参照しながら説明する。図 5 は、この発明の実施の形態 3 に係る増幅器の構成を示す図である。

【0037】図 5 において、1 は入力端子、2 B は電力分配回路、3 及び 4 は増幅素子、5 B は電力合成回路、6 は出力端子、7 はアイソレーション回路である。また、7 1 及び 7 3 はアイソレーション抵抗、7 2 はマイクロストリップ線路等の線路である。

【0038】つぎに、前述した実施の形態 3 に係る増幅器の動作について図面を参照しながら説明する。

【0039】増幅器の基本周波数を  $f_0$ 、その周波数での波長を  $\lambda_0$ 、線路 7 2 の長さを  $\lambda_0$  としたとき、アイソレーション回路 7 を増幅素子 3、4 の出力側に用いているために、上記の実施の形態 2 と同様の効果により、ループ利得が 0 dB 以下に抑制され、また通過利得は増幅器の基本周波数の  $1/2$ 、 $3/2$  の周波数で大きく減衰する。上記の実施の形態 2 と同様、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0040】実施の形態 4. この発明の実施の形態 4 に係る増幅器について図面を参照しながら説明する。図 6 は、この発明の実施の形態 4 に係る増幅器の構成を示す図である。

【0041】図 6 において、1 は入力端子、2 B は電力分配回路、3 及び 4 は増幅素子、5 B は電力合成回路、6 は出力端子、7 及び 8 はアイソレーション回路である。また、7 1 及び 7 3 はアイソレーション抵抗、7 2 はマイクロストリップ線路等の線路である。さらに、8 1 及び 8 3 はアイソレーション抵抗、8 2 はマイクロストリップ線路等の線路である。

【0042】つぎに、前述した実施の形態 4 に係る増幅器の動作について図面を参照しながら説明する。

【0043】増幅器の基本周波数を  $f_0$ 、その周波数での波長を  $\lambda_0$ 、線路 7 2、8 2 の長さを  $\lambda_0$  としたとき、アイソレーション回路 7、8 を増幅素子 3 及び 4 の

入出力両方に用いているために、上記の実施の形態 2 と同様の効果により、ループ利得が 0 dB 以下に抑制され、また通過利得は増幅器の基本周波数の  $1/2$ 、 $3/2$  の周波数で大きく減衰する。上記の実施の形態 2 と同様、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0044】実施の形態 5. この発明の実施の形態 5 に係る増幅器について図面を参照しながら説明する。図 7 は、この発明の実施の形態 5 に係る増幅器の構成を示す図である。

【0045】図 7 において、1 は入力端子、2 B は電力分配回路、3 及び 4 は増幅素子、5 B は電力合成回路、6 は出力端子、7 はアイソレーション回路、9 及び 10 は増幅素子である。また、7 1 及び 7 3 はアイソレーション抵抗、7 2 はマイクロストリップ線路等の線路である。

【0046】つぎに、前述した実施の形態 5 に係る増幅器の動作について図面を参照しながら説明する。図 8 は、この発明の実施の形態 5 に係る増幅器の特性を示す図である。

【0047】増幅器の基本周波数を  $f_0$ 、その周波数での波長を  $\lambda_0$ 、線路 7 2 の長さを  $\lambda_0$  としたときの、回路特性の計算結果の一例を示す。図 8 (a) は、入力端子で観測したループ利得、ループ位相を示し、同図 (b) は、出力端子で観測したループ利得、ループ位相を示し、また同図 (c) は、増幅器の通過利得を示す。図 8 において、実線がアイソレーション回路 7 を用いた場合、破線が従来のアイソレーション抵抗を用いた場合である。

【0048】図 8 より、ループ利得が 0 dB 以下に抑制されており、また通過利得は増幅器の基本周波数の  $1/2$ 、 $3/2$  の周波数で大きく減衰していることが分かる。これは線路 7 2 の長さが基本周波数の  $1/2$  の周波数に対して  $1/2$  波長となっているためであり、同様の原理により、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0049】すなわち、この実施の形態 5 によれば、多段増幅器を並列合成した増幅器において、並列合成した多段増幅器の段間回路間に、1 つの線路 7 2 とその両端の 2 つの抵抗 7 1、7 3 からなるアイソレーション回路 7 を挿入することにより、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となるため、安定な高出力の増幅器を得ることができる。

【0050】実施の形態 6. この発明の実施の形態 6 に係る電力分配回路について図面を参照しながら説明する。図 9 は、この発明の実施の形態 6 に係る電力分配回路の構成を示す図である。

【0051】図 9 において、1 は入力端子、2 C は電力分配回路である。また、2 2 A はアイソレーション回路、2 3 はアイソレーション抵抗、2 4 はマイクロスト

リップ線路等の線路、25はアイソレーション抵抗、26及び27は出力端子、28はマイクロストリップ線路等の線路、29はアイソレーション抵抗である。

【0052】つぎに、前述した実施の形態6に係る電力分配回路の動作について図面を参照しながら説明する。図10は、この発明の実施の形態6に係る電力分配回路の回路特性を示す図面である。

【0053】基本周波数を $f_0$ 、その周波数での波長を $\lambda_0$ 、2つの線路6の長さをどちらも $1/2\lambda_0$ としたときの、計算結果の一例を示す。図10(a)は、入力端子1から出力端子26及び27に通過する信号の通過利得の周波数特性を示し、同図(b)は、2つの出力端子26及び27間のアイソレーションの周波数特性を示す。図10において、実線はアイソレーション回路22Aを用いた場合、破線は従来のアイソレーション抵抗を用いた場合である。

【0054】図10より、アイソレーション回路22Aを用いた場合には、基本周波数 $f_0$ である1GHzで従来のアイソレーション抵抗を用いた場合と同様の特性を示し、また、基本周波数の $1/2$ 、 $3/2$ の周波数においては通過利得、アイソレーションともに従来のアイソレーション抵抗を用いた場合より大幅に特性が向上することが分かる。これは線路24、28の長さが基本周波数の $1/2$ の周波数に対して $1/4$ 波長となっているためであり、同様の原理により、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0055】すなわち、この実施の形態6によれば、電力分配回路において、分岐線路間に、2つの線路24、28とその両端および線路間に接続された3つの抵抗23、25、29からなるアイソレーション回路22Aを挿入することにより、分岐線路間のアイソレーションを十分に得ることができ、また特定の周波数の通過利得を減衰させることができる。

【0056】実施の形態7. この発明の実施の形態7に係る増幅器について図面を参照しながら説明する。図11は、この発明の実施の形態7に係る増幅器の構成を示す図である。

【0057】図11において、1は入力端子、2Cは電力分配回路、3及び4は増幅素子、5Cは電力合成回路、6は出力端子である。また、22Aはアイソレーション回路、23及び25はアイソレーション抵抗、24はマイクロストリップ線路等の線路、28はマイクロストリップ線路等の線路、29はアイソレーション抵抗である。

【0058】つぎに、前述した実施の形態7に係る増幅器の動作について図面を参照しながら説明する。図12は、この発明の実施の形態7に係る増幅器の特性を示す図である。

【0059】増幅器の基本周波数を $f_0$ 、その周波数での波長を $\lambda_0$ 、線路24、28の長さを $1/2\lambda_0$ とし

たときの、回路特性の計算結果の一例を示す。図12(a)は、入力端子で観測したループ利得、ループ位相を示し、同図(b)は、出力端子で観測したループ利得、ループ位相を示し、また同図(c)は、増幅器の通過利得を示す。図12において、実線はアイソレーション回路22Aを用いた場合、破線は従来のアイソレーション抵抗を用いた場合である。

【0060】図12より、アイソレーション回路22Aを用いた場合もループ利得が0dB以下に抑制されており、また通過利得は増幅器の基本周波数の $1/2$ 、 $3/2$ の周波数で大きく減衰していることが分かる。これは線路24、28の長さが基本周波数の $1/2$ の周波数に対して $1/4$ 波長となっているためであり、同様の原理により、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0061】すなわち、この実施の形態7によれば、増幅素子を並列に複数個合成した増幅器において、電力分配回路、または電力合成回路、あるいは双方に、上記の実施の形態6の回路を用いることにより、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となるため、安定な高出力増幅器を得ることができる。

【0062】実施の形態8. この発明の実施の形態8に係る増幅器について図面を参照しながら説明する。図13は、この発明の実施の形態8に係る増幅器の構成を示す図である。

【0063】図13において、1は入力端子、2Bは電力分配回路、3及び4は増幅素子、5Bは電力合成回路、6は出力端子、7Aはアイソレーション回路である。また、71、73及び75はアイソレーション抵抗、72及び74はマイクロストリップ線路等の線路である。

【0064】つぎに、前述した実施の形態8に係る増幅器の動作について図面を参照しながら説明する。

【0065】増幅器の基本周波数を $f_0$ 、その周波数での波長を $\lambda_0$ 、線路72、74の長さを $1/2\lambda_0$ としたとき、上記の実施の形態7と同様な効果が発生し、ループ利得が0dB以下に抑制され、また通過利得は増幅器の基本周波数の $1/2$ 、 $3/2$ の周波数で大きく減衰する。さらに、上記の実施の形態7と同様、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0066】実施の形態9. この発明の実施の形態9に係る増幅器について図面を参照しながら説明する。図14は、この発明の実施の形態9に係る増幅器の構成を示す図である。

【0067】図14において、1は入力端子、2Bは電力分配回路、3及び4は増幅素子、5Bは電力合成回路、6は出力端子、7A及び8Aはアイソレーション回路である。また、71、73及び75はアイソレーシ

ン抵抗、72及び74はマイクロストリップ線路等の線路である。さらに、81、83及び85はアイソレーション抵抗、82及び84はマイクロストリップ線路等の線路である。

【0068】つぎに、前述した実施の形態9に係る増幅器の動作について図面を参照しながら説明する。

【0069】増幅器の基本周波数を $f_0$ 、その周波数での波長を $\lambda_0$ 、線路72、74、82、84の長さを $1/2\lambda_0$ としたとき、上記の実施の形態7と同様な効果が発生し、ループ利得が0dB以下に抑制され、また通過利得は増幅器の基本周波数の $1/2$ 、 $3/2$ の周波数で大きく減衰する。さらに、上記の実施の形態7と同様、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0070】実施の形態10。この発明の実施の形態10に係る増幅器について図面を参照しながら説明する。図15は、この発明の実施の形態10に係る増幅器の構成を示す図である。

【0071】図15において、1は入力端子、2Bは電力分配回路、3及び4は増幅素子、5Bは電力合成回路、6は出力端子、7Aはアイソレーション回路、9及び10は増幅素子である。また、71、73及び75はアイソレーション抵抗、72及び74はマイクロストリップ線路等の線路である。

【0072】つぎに、前述した実施の形態10に係る増幅器の動作について図面を参照しながら説明する。

【0073】増幅器の基本周波数を $f_0$ 、その周波数での波長を $\lambda_0$ 、線路72、74の長さを $1/2\lambda_0$ としたときの、計算結果の一例を示す。図16(a)は、入力端子で観測したループ利得、ループ位相を示し、同図(b)は、出力端子で観測したループ利得、ループ位相を示し、また同図(c)は、増幅器の通過利得を示す。図16において、実線はアイソレーション回路7Aを用いた場合、破線は従来のアイソレーション抵抗を用いた場合である。

【0074】図16より、ループ利得が0dB以下に抑制されており、また通過利得は増幅器の基本周波数の $1/2$ 、 $3/2$ の周波数で大きく減衰していることが分かる。これは線路72、74の長さが基本周波数の $1/2$ の周波数に対して $1/4$ 波長となっているためであり、同様の原理により、所望の周波数での通過利得、アイソレーション特性を改善することができる。

【0075】すなわち、この実施の形態10によれば、多段増幅器を並列合成した増幅器において、並列合成した多段増幅器の段間回路間に、2つの線路72、74とその両端および線路間に接続された3つの抵抗71、73、75からなるアイソレーション回路7Aを挿入することにより、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となるため、安定な高出力の増幅器を得ることができる。

【0076】

【発明の効果】この発明に係る電力分配回路は、以上説明したとおり、出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を備えたので、分岐線路間のアイソレーションを十分に得ることができ、また特定の周波数の通過利得を減衰させることができるという効果を奏する。

【0077】この発明に係る電力合成回路は、以上説明したとおり、入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を備えたので、分岐線路間のアイソレーションを十分に得ることができ、また特定の周波数の通過利得を減衰させることができるという効果を奏する。

【0078】この発明に係る増幅器は、以上説明したとおり、増幅素子を並列に複数個合成した増幅器において、出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたので、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができるという効果を奏する。

【0079】また、この発明に係る増幅器は、以上説明したとおり、増幅素子を並列に複数個合成した増幅器において、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成されたアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたので、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができるという効果を奏する。

【0080】さらに、この発明に係る増幅器は、以上説明したとおり、増幅素子を並列に複数個合成した増幅器において、出力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成された第1のアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、入力側の分岐線路間に、1つの線路とその両端に接続された2つの抵抗から構成された第2のアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたので、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができるという効果を奏する。

【0081】またさらに、この発明に係る増幅器は、以上説明したとおり、多段増幅器を並列合成した増幅器において、入力端子に入力した信号を第1段の複数個の増幅素子に分配する電力分配回路と、前記第1段の複数個



の増幅素子の出力を増幅する第 2 段の複数個の増幅素子と、前記第 2 段の複数個の増幅素子の出力を合成する電力合成回路と、1 つの線路とその両端に接続された 2 つの抵抗から構成され、前記第 1 段及び第 2 段の増幅素子間に挿入されたアイソレーション回路とを備えたので、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができるという効果を奏する。

【0082】この発明に係る電力分配回路は、以上説明したとおり、出力側の分岐線路間に、2 つの線路とその両端及び線路間に接続された 3 つの抵抗から構成されたアイソレーション回路を備えたので、分岐線路間のアイソレーションを十分に得ることができ、また特定の周波数の通過利得を減衰させることができるという効果を奏する。

【0083】この発明に係る電力合成回路は、以上説明したとおり、入力側の分岐線路間に、2 つの線路とその両端及び線路間に接続された 3 つの抵抗から構成されたアイソレーション回路を備えたので、分岐線路間のアイソレーションを十分に得ることができ、また特定の周波数の通過利得を減衰させることができるという効果を奏する。

【0084】この発明に係る増幅器は、以上説明したとおり、増幅素子を並列に複数個合成した増幅器において、出力側の分岐線路間に、2 つの線路とその両端及び線路間に接続された 3 つの抵抗から構成されたアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたので、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができるという効果を奏する。

【0085】また、この発明に係る増幅器は、以上説明したとおり、増幅素子を並列に複数個合成した増幅器において、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、入力側の分岐線路間に、2 つの線路とその両端及び線路間に接続された 3 つの抵抗から構成されたアイソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたので、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができるという効果を奏する。

【0086】さらに、この発明に係る増幅器は、以上説明したとおり、増幅素子を並列に複数個合成した増幅器において、出力側の分岐線路間に、2 つの線路とその両端及び線路間に接続された 3 つの抵抗から構成された第 1 のアイソレーション回路を有し、入力端子に入力した信号を前記複数個の増幅素子に分配する電力分配回路と、入力側の分岐線路間に、2 つの線路とその両端及び線路間に接続された 3 つの抵抗から構成された第 2 のア

イソレーション回路を有し、前記複数個の増幅素子の出力を合成する電力合成回路とを備えたので、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができるという効果を奏する。

【0087】またさらに、この発明に係る増幅器は、以上説明したとおり、多段増幅器を並列合成した増幅器において、入力端子に入力した信号を第 1 段の複数個の増幅素子に分配する電力分配回路と、前記第 1 段の複数個の増幅素子の出力を増幅する第 2 段の複数個の増幅素子と、前記第 2 段の複数個の増幅素子の出力を合成する電力合成回路と、2 つの線路とその両端及び線路間に接続された 3 つの抵抗から構成され、前記第 1 段及び第 2 段の増幅素子間に挿入されたアイソレーション回路とを備えたので、ループ発振を抑制し、また特定の周波数の通過利得を減衰させることが可能となり、安定な高出力の増幅器を得ることができるという効果を奏する。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 に係る電力分配回路の構成を示す図である。

【図 2】 この発明の実施の形態 1 に係る電力分配回路の特性を示す図である。

【図 3】 この発明の実施の形態 2 に係る増幅器の構成を示す図である。

【図 4】 この発明の実施の形態 2 に係る増幅器の特性を示す図である。

【図 5】 この発明の実施の形態 3 に係る増幅器の構成を示す図である。

【図 6】 この発明の実施の形態 4 に係る増幅器の構成を示す図である。

【図 7】 この発明の実施の形態 5 に係る増幅器の構成を示す図である。

【図 8】 この発明の実施の形態 5 に係る増幅器の特性を示す図である。

【図 9】 この発明の実施の形態 6 に係る電力分配回路の構成を示す図である。

【図 10】 この発明の実施の形態 6 に係る電力分配回路の特性を示す図である。

【図 11】 この発明の実施の形態 7 に係る増幅器の構成を示す図である。

【図 12】 この発明の実施の形態 7 に係る増幅器の特性を示す図である。

【図 13】 この発明の実施の形態 8 に係る増幅器の構成を示す図である。

【図 14】 この発明の実施の形態 9 に係る増幅器の構成を示す図である。

【図 15】 この発明の実施の形態 10 に係る増幅器の構成を示す図である。

【図 16】 この発明の実施の形態 10 に係る増幅器の特性を示す図である。

(9)

特開平11-355015

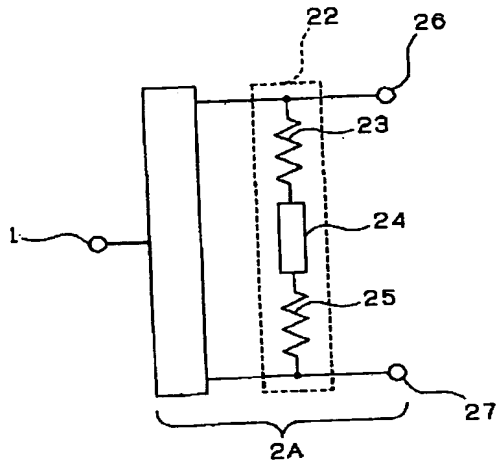
15

【図17】 従来の増幅器の構成を示す図である。

【符号の説明】

1 入力端子、2A、2B、2C 電力分配回路、3、4 増幅素子、5A、5B、5C 電力合成回路、6 出力端子、7、7A、8、8A アイソレーション回路、9、10 増幅素子、22、22A アイソレーシ

【図1】

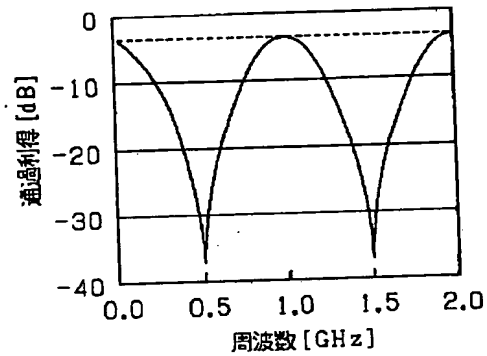


16

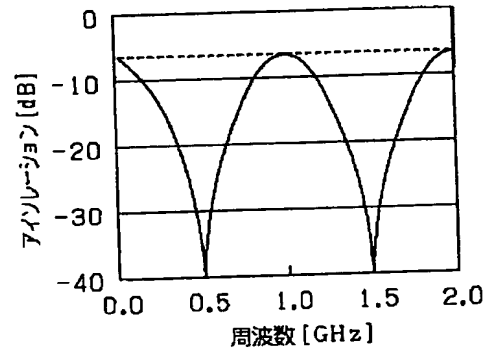
ョン回路、23アイソレーション抵抗、24、28 線路、25、29 アイソレーション抵抗、26、27 出力端子、71、73、75 アイソレーション抵抗、72、74 線路、81、83、85 アイソレーション抵抗、82、84 線路。

【図2】

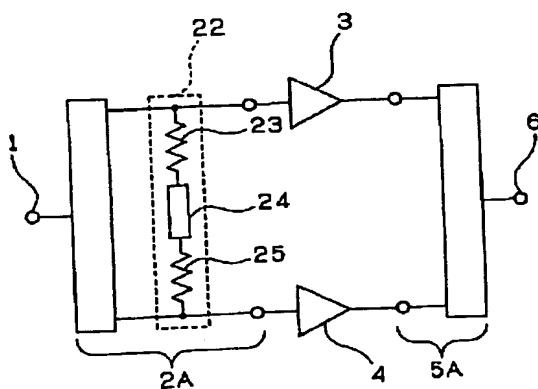
(a)



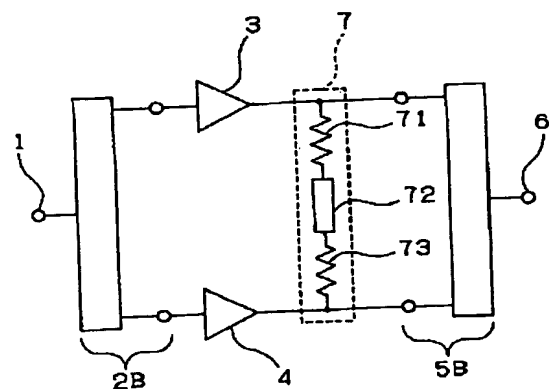
(b)



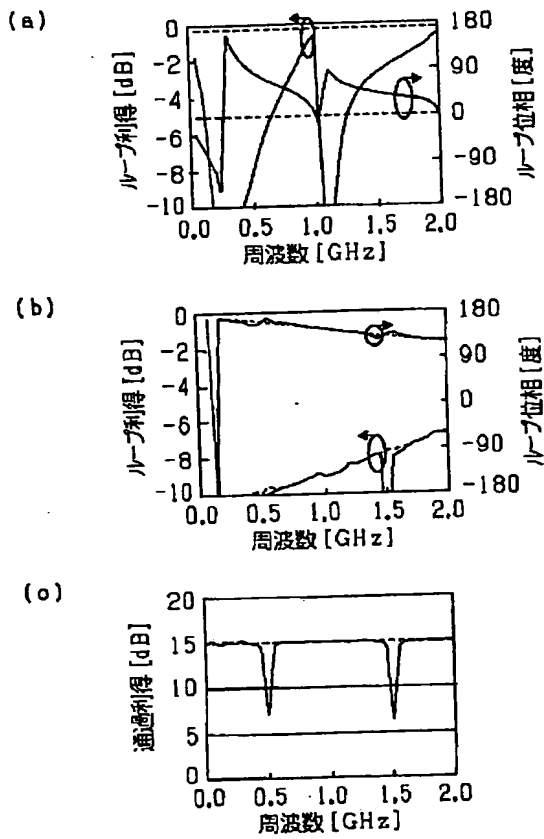
【図3】



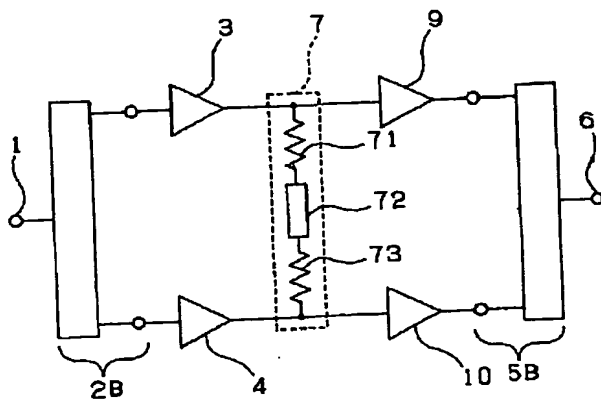
【図5】



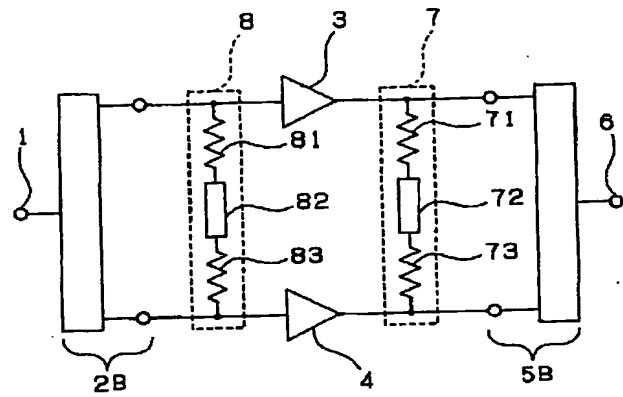
【図4】



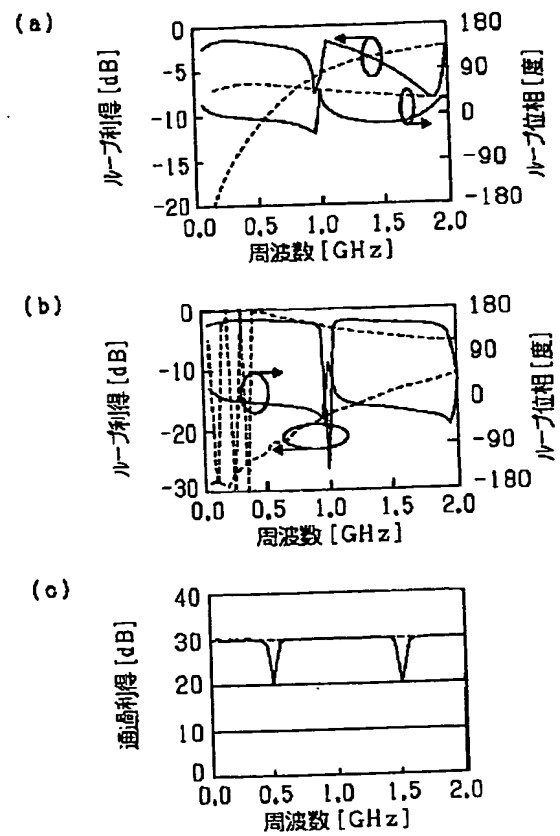
【図7】



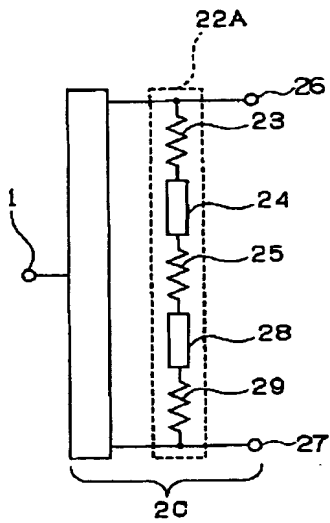
【図6】



【図8】

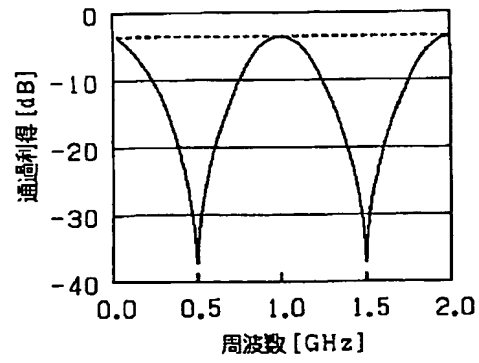


【図9】

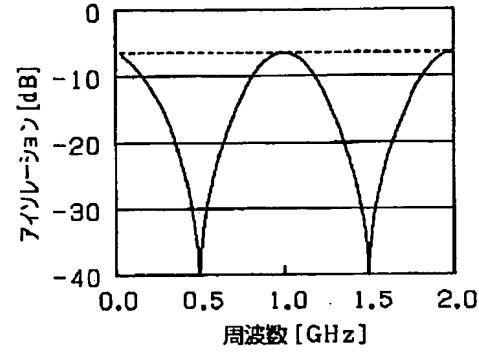


【図10】

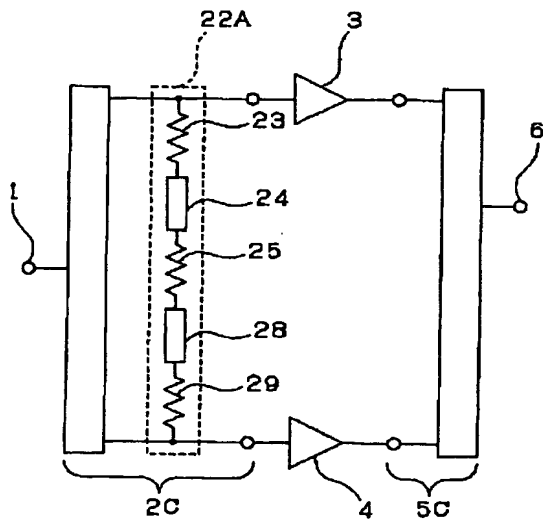
(a)



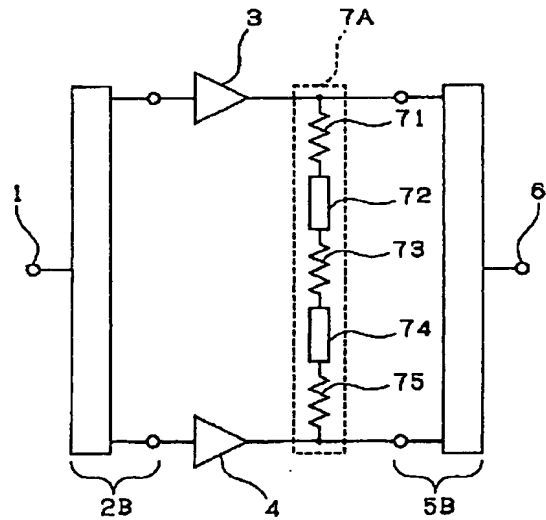
(b)



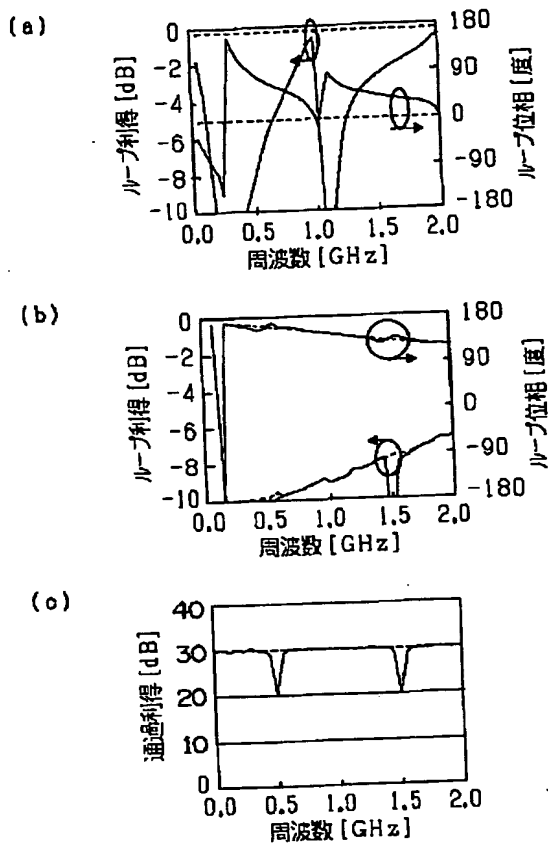
【図11】



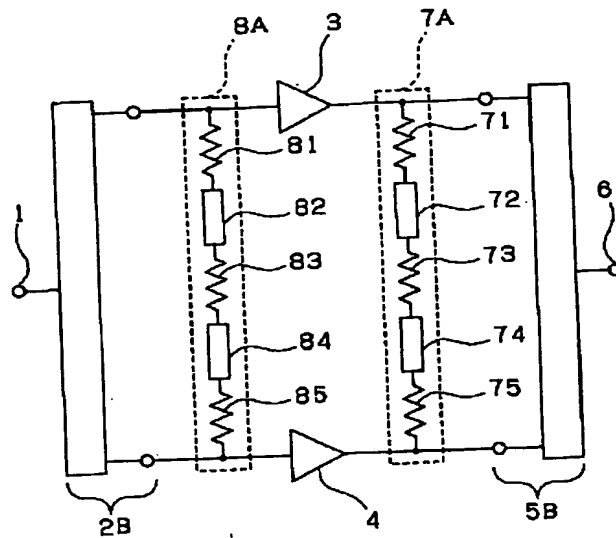
【図13】



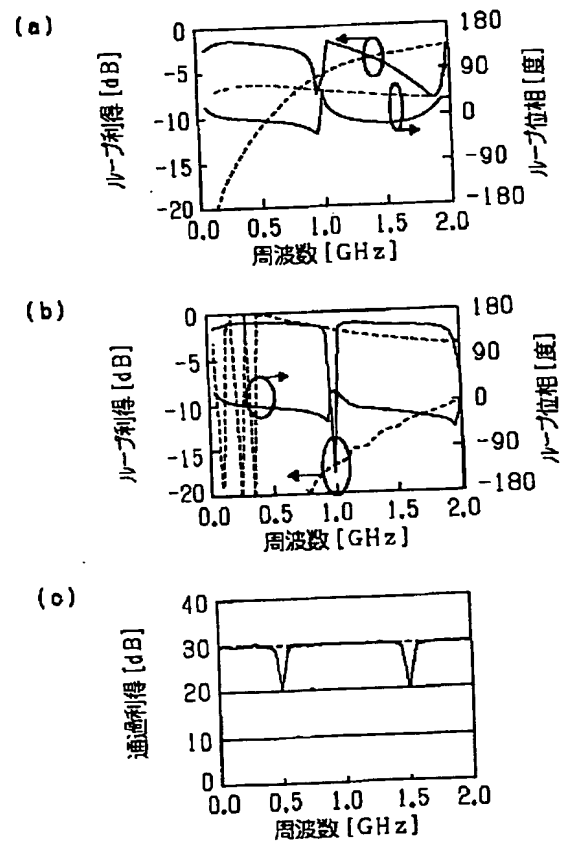
【図12】



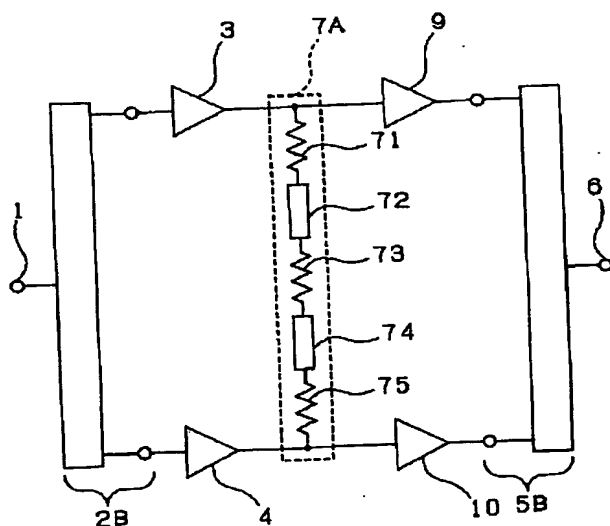
【図14】



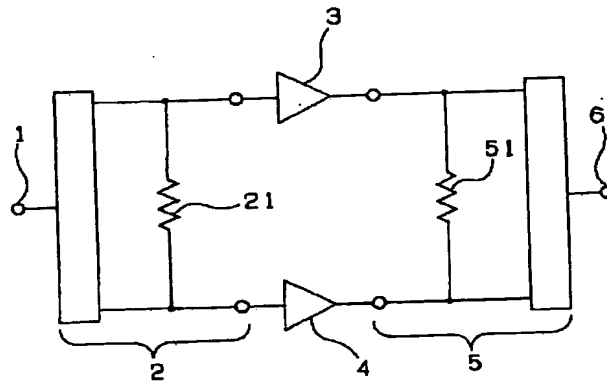
【図16】



【図15】



【図 1 7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**